

## Ⅱ. 집적회로(VLSI:Very Large Scale Integrated Circuit)의 종류

### 1. 표준 집적회로(Standard Integrated Circuit)

- 1) 다수의 사용자가 사용할 수 있도록 만든 범용성이 높은 표준 제품으로 74LS00과 같은 TTL 종류, 메모리(ROM, RAM), CMOS 로직, DSP, 마이크로프로세서 등
- 2) 표준 집적회로들을 적절히 조합하여 의도된 동작을 하도록 논리회로를 설계한 후에 인쇄회로기판(PCB : Printed Circuit Board)을 제작하여 응용 제품을 만듦
- 3) 표준 집적회로는 회로설계부터 레이아웃(layout), 공정(process) 등의 단계를 설계자가 CAD(Computer Aided Design) 툴을 사용하여 직접 설계  
→ 면적이나 동작속도 등에서 최적화된 집적회로를 설계할 수 있으나 개발기간과 개발비용의 부담이 많아지는 단점이 있어 소품종 대량생산에 적합함

## 2. 주문형 집적회로(ASIC : Application Specific Integrated Circuit)

- 1) 표준 집적회로들을 적절히 조합하여 의도된 동작을 하도록 논리회로를 설계한 후에 인쇄회로기판을 제작하여 응용제품을 만들 경우
  - 다수의 부품등이 실장됨으로서 기판면적이 증가하고, 그로 인하여 제품의 소형화가 어려워지고 제품원가가 상승하고 다수의 부품이 사용되면 부품간의 결선이 길어지고 복잡해짐으로서 고속의 동작이 어려워지고 전력소모를 효과적으로 줄일 수가 없음
  
- 2) 필요한 회로나 시스템을 각각의 개별 부품들을 조합해서 구현할 것이 아니라 하나의 IC로 집적하는 주문형 집적회로가 나오게 되었음
  
- 3) 주문형 집적회로는 다품종 소량생산이므로 설계초기의 개발비용인 NRE(Non Recurring Engineering)을 줄이는 일이 매우 중요함
  - 컴퓨터 성능의 급격한 향상은 CAD(Computer Aided Design) 기술을 발전시켰으며 이로 인하여 ASIC 설계의 대부분 과정이 설계 자동화(Design Automation)가 이루어져서 ASIC 설계시에 설계초기의 개발비용의 최소화가 가능하게 되었음
  
- 4) 현재 ASIC은 경쟁력 강화, 소형화, 신뢰성 향상 등의 장점으로

로 수요가 증가하고 있으며 컴퓨터, 제어, 통신, 계측 등의 산업용 전자분야와 가정용 전자제품 분야뿐만 아니라 군사 분야까지 확산되고 있음

5) 디지털 기술과 반도체 기술의 발전으로 세계의 반도체 산업은 TTL, 메모리 소자, 마이크로프로세서, DSP 등의 개별 칩의 기능을 하나의 시스템에서 실행할 수 있도록 하나의 칩 자체가 모든 기능을 담는 시스템온칩(SOC : System On a Chip) 개념으로 급속히 바뀌고 있음

6) 시스템온칩으로 설계하면 보드에서 부품들이 차지했던 공간을 줄일 수 있어 전체적인 시스템의 크기를 크게 줄일 수 있을 뿐만 아니라 노이즈도 현저히 줄어들게 되며, 전체 시스템의 제조 단가를 줄일 수 있게 되어 경제적인 효과가 발생하게 됨

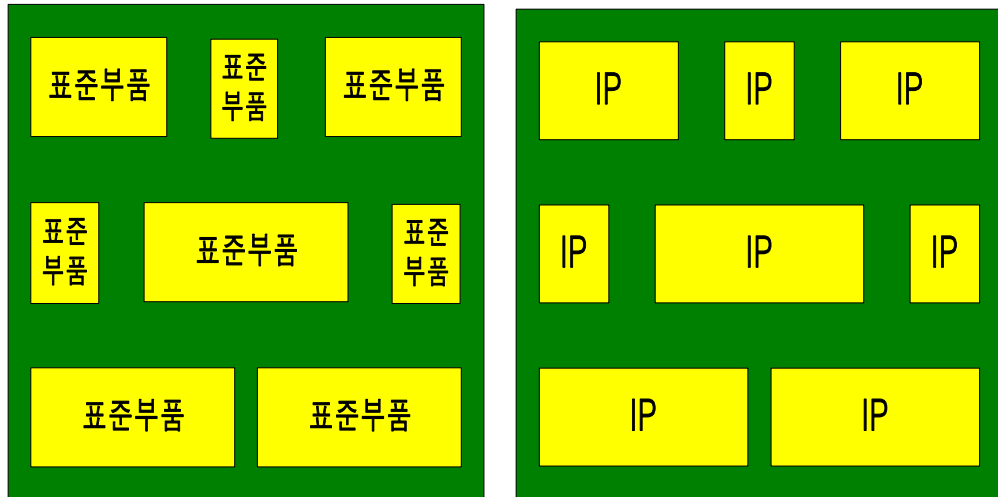
7) 공정기술과 설계기술의 급격한 발전은 주문형 집적회로에 집적되는 회로의 수를 점차 증가시켜 시스템온칩으로 설계할 경우에 한 업체가 단독으로 모든 것을 개발하는 것은 사실상 불가능해졌음

→ 이러한 문제를 해결하기 위해 IP(Intellectual Property) 기술이 최근 각광받고 있음

8) IP 기술은 MCU(Micro Controller Unit), DSP(Digital Signal Processor), PCI(Peripheral Component Interconnect), USB(Universal Serial Bus)등과 같은 각종 표준형 기능 블록(코어)들을 배치 프로그램 형태로 제작,

판매되는 부품 설계 관련 기술임

- 9) 시스템 설계 업체는 인쇄회로기판 위에서 부품들을 조립하여 시스템을 설계하는 것과 같은 개념으로 필요한 개별 IP를 구입하여 하나의 칩에 집적하면 시스템온칩이 됨



PCB 기판

실리콘 기판

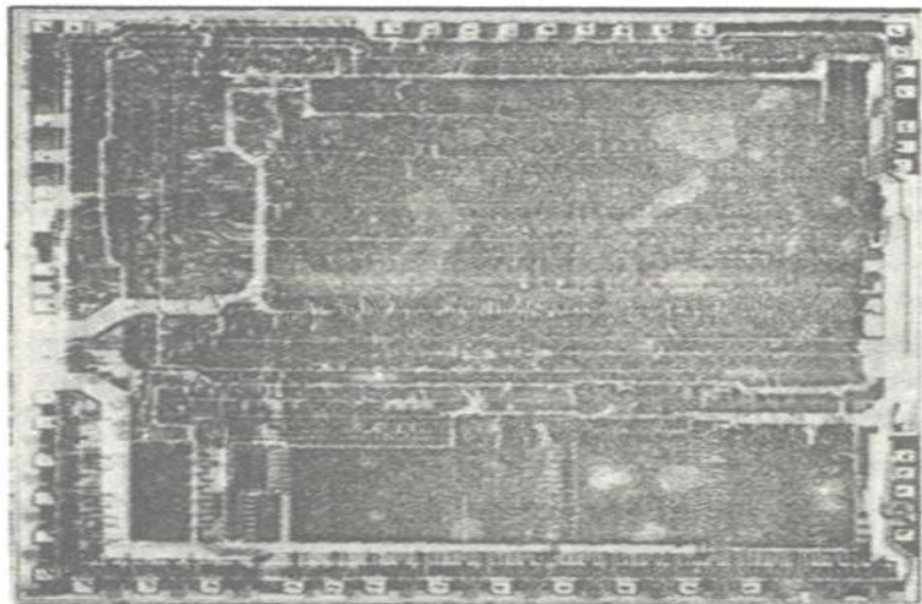
- 10) 만일 개발업체 마다 다른 인터페이스 사양으로 IP를 설계하여 공급하게 되면 개별 IP를 구입하여 하나의 칩에 집적할 경우에 시스템온칩을 구현하는 데에 많은 비용과 시간이 소요됨  
→ 따라서 기존의 물리적 부품과 대비되는 IP 즉, 가상부품 (Virtual Component)은 각사의 부품 회로 설계 인터페이스 사양을 통일하여야 만이 그 효과를 극대화시킬 수 있기 때문에 전 세계의 반도체 관련 업체들은 IP 기술의 표준화를 위해 많은 노력을 기울이고 있음
- 11) ASIC의 설계과정은 설계사양으로부터 게이트 레벨의 설계 데이터를 얻어내는 전반부(front end) 설계과정과 게이트 레벨의 설계 데이터를 집적회로 공정에 필요한 레이아웃

(layout) 데이터를 생성하는 후반부(back end) 설계과정으로 나뉘어짐

→ 후반부 설계과정에서 적용되는 설계방법에 따라 ASIC은 완전 주문형 집적회로(Full Custom IC), 반 주문형 집적회로(Semi Custom IC), 프로그램 논리 디바이스(PLD:Programmable Logic Device) 등으로 구분됨

## 12) 완전 주문형 집적회로

- ① 설계하고자 하는 ASIC의 회로설계부터 레이아웃(layout), 공정(process) 등의 단계를 전문적 지식을 갖고있는 설계자가 CAD(Computer Aided Design) 툴을 사용하여 수작업으로 설계함
- ② 면적이나 동작속도 등에서 최적화된 집적회로를 설계할 수 장점이 있으나 개발기간과 개발비용의 부담이 많아지는 단점이 있음



완전 주문형으로 설계한 칩사진

### 13) 반 주문형 집적회로

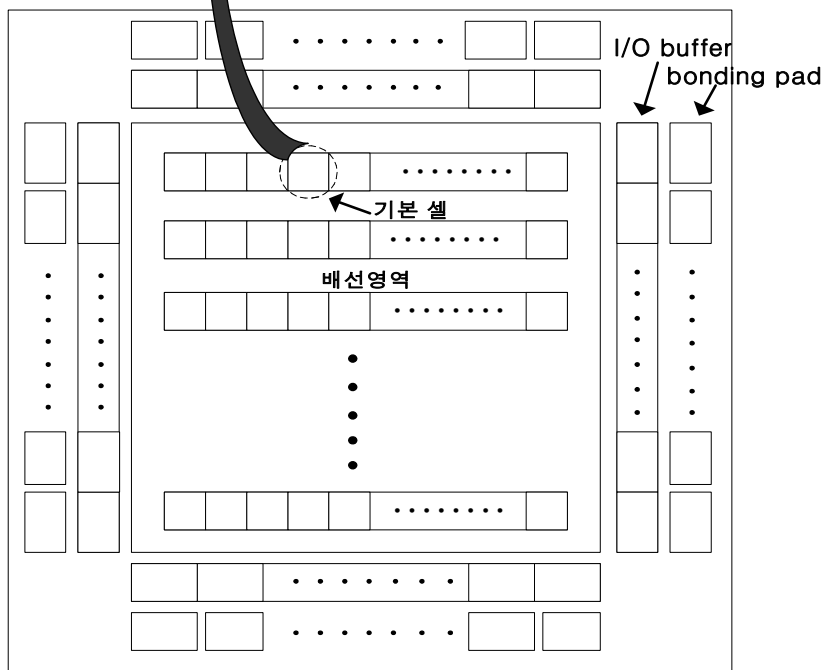
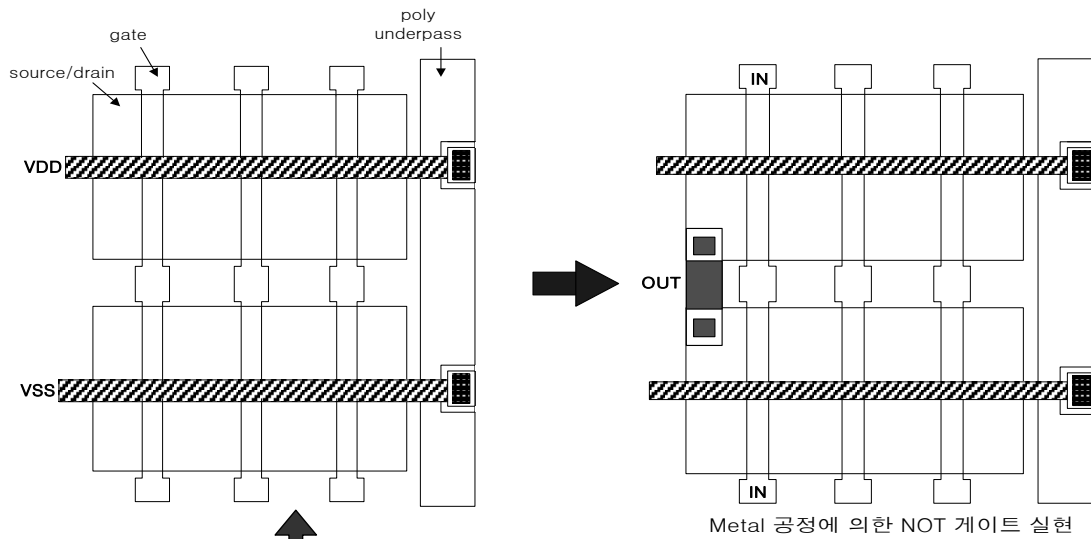
→ 미리 정해진 마스크 패턴(mask pattern)과 동작과 성능이 검증된 논리 기능들이 마스크 패턴을 제작할 수 있는 레이아웃(layout) 도면 형태로 되어 있는 셀 라이브러리(cell library) 들을 CAD 툴을 사용하여 자동 설계하는 방식이기 때문에 제조 공정시 사용되는 마스크 패턴 수를 줄일 수 있어 개발시간과 개발비용을 줄일 수 가 있는 장점이 있으나 미리 정해진 마스크 패턴과 셀 라이브러리를 사용해야 하기 때문에 완전 주문형 집적회로에 비하여 집적도는 떨어지는 단점이 있음

#### ① 게이트 어레이(Gate Array)

- 마스터 칩(master chip) 상에 기본적인 논리 기능을 할 수 있는 기본 셀(basic cell)들이 배열 형태로 배치되고 셀 간에는 배선영역(channel 또는 routing area)이 존재하며 칩 외부와 연결 할 수 있는 입출력 (I/O) 셀들이 존재하는 구조
- 기본 셀은 웨이퍼 상에 소오스(source), 게이트(gate), 드레인(drain) 공정이 되어 있어 금속 배선 및 상호 연결 공정(metal 공정)만 하게 되면 원하는 논리회로가 구현되어 질 수 가 있으며, 셀간의 신호선 연결은 배선영역에 금속배선을 수행함으로써 구현됨
- 배선영역은 보통 2개의 배선층을 사용하며 각각의 배선층(routing layer)간에는 절연이 되어있어 신호선간의

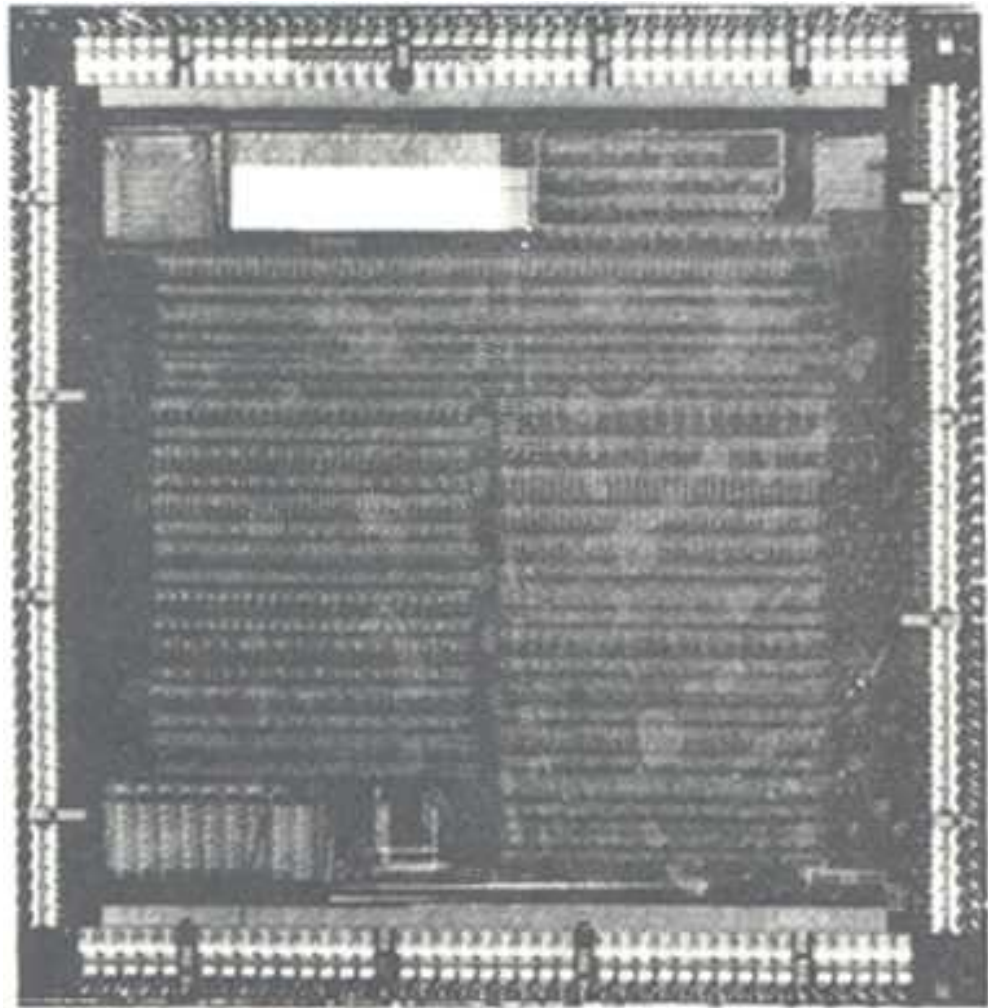
## 단락(short)을 방지함

- 게이트 어레이에 설계자가 설계한 회로를 구현하려면 기본적인 공정이 미리 되어 있는 마스터 칩상에 금속배선만을 수행함으로써 원하는 ASIC을 쉽게 구현할 수가 있게 되어 개발시간이 매우 빠르게 되며, 제조 공정시 사용되는 마스크 패턴수를 줄일 수가 있어 제조비용도 최소화시킬 수가 있는 장점이 있으나 크기가 고정된 기본 셀과 배선영역으로 이루어진 마스터 칩을 사용하기 때문에 사용되지 않는 영역이 많이 발생하게 되어 칩면적이 낭비되는 큰 단점이 존재함



게이트 어레이





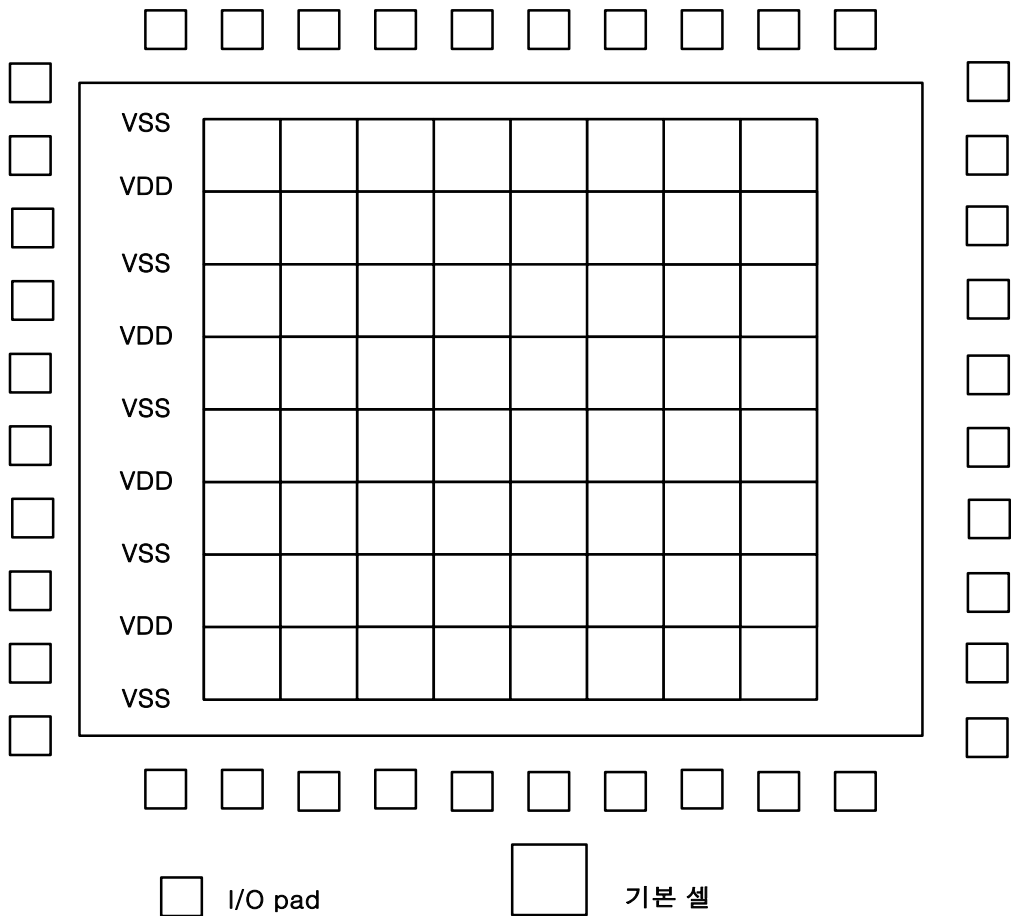
게이트 어레이로 설계한 실제 칩 사진

## ② SOG(Sea Of Gate)

- 게이트 어레이와는 거의 유사하나 배선영역이 따로 존재하지 않고 모든 영역에 기본 셀들이 배열 형태로 배치되어 있기 때문에 Channeless Gate Array 라고도 함
- 게이트 어레이와는 달리 배선영역이 없고 기본 셀들이 전 영역에 배치되어 있기 때문에 하나이상의 셀 영역(예를 들어 RAM이나 ROM 등의 메모리 블록)을 차지하는 회로를 구현할 수가 있음
- 설계자가 설계한 논리회로들이 기본 셀들에 구현된 다음에는 사용하지 않는 기본 셀들을 이용하여 셀 간의 신호선 연결을 위한 배선을 수행하게 됨

## ③ 표준 셀(Standard Cell)

- Cell-based 설계개념으로 동작과 성능이 검증된 논리기능들이 마스크 패턴을 제작할 수 있는 레이아웃 도면 형태로 되어 있는 셀 라이브러리들을 설계자가 원하는 위치에 배치한 후에 셀 간의 신호선 연결을 위한 배선을 수행함

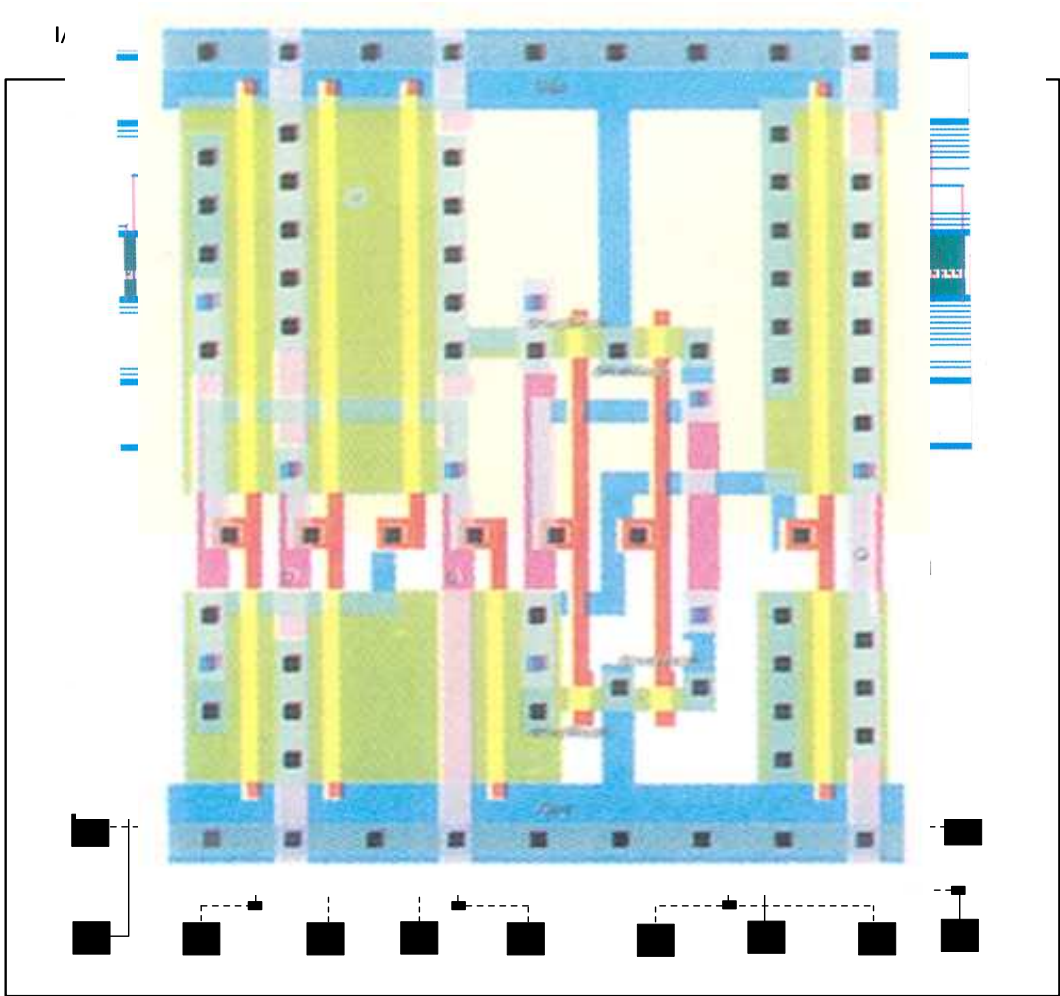


### SOG

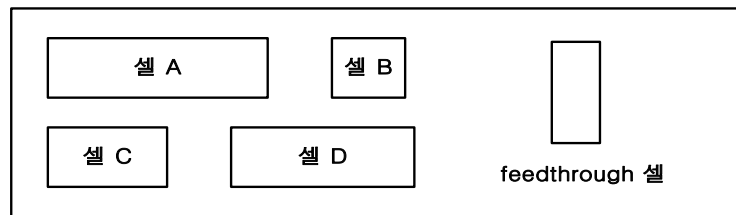
- 고정된 셀 영역과 배선영역으로 이루어진 게이트 어레이에 비하여 표준 셀은 설계자가 원하는 회로를 구현하기 위하여 다양한 형태의 셀 라이브러리를 사용하기 때문에 효율적인 구성이 가능
- 배선영역이 가변적이고 셀들의 폭도 일정하지가 않기 때문에 사용되지 않는 영역이 많이 발생하는 게이트 어레이와는 달리 표준 셀은 사용하지 않는 영역이 없게되어 칩 면적을 효율적으로 사용할 수가 있는 장점이 있음
- 제조공정에 필요한 모든 마스크 패턴을 제작해야 하므로

게이트 어레이에 비하여 개발시간과 개발비용이 많이 드는 단점이 있음

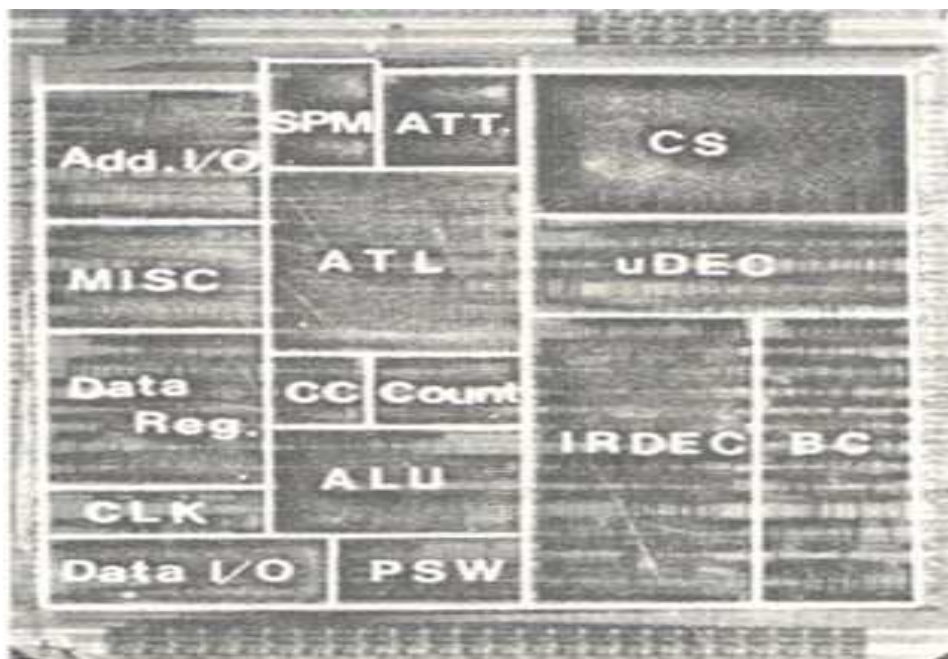
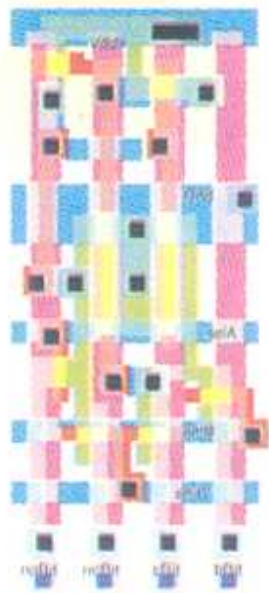
- 높이가 일정하고 폭이 가변적인 셀들이 배열형태로 배치되고 배선영역이 가변적인 폴리 셀(poly cell) 방식과 폭과 높이가 다른 매크로 블록이 배치되는 매크로 블록(macro block) 방식이 존재함



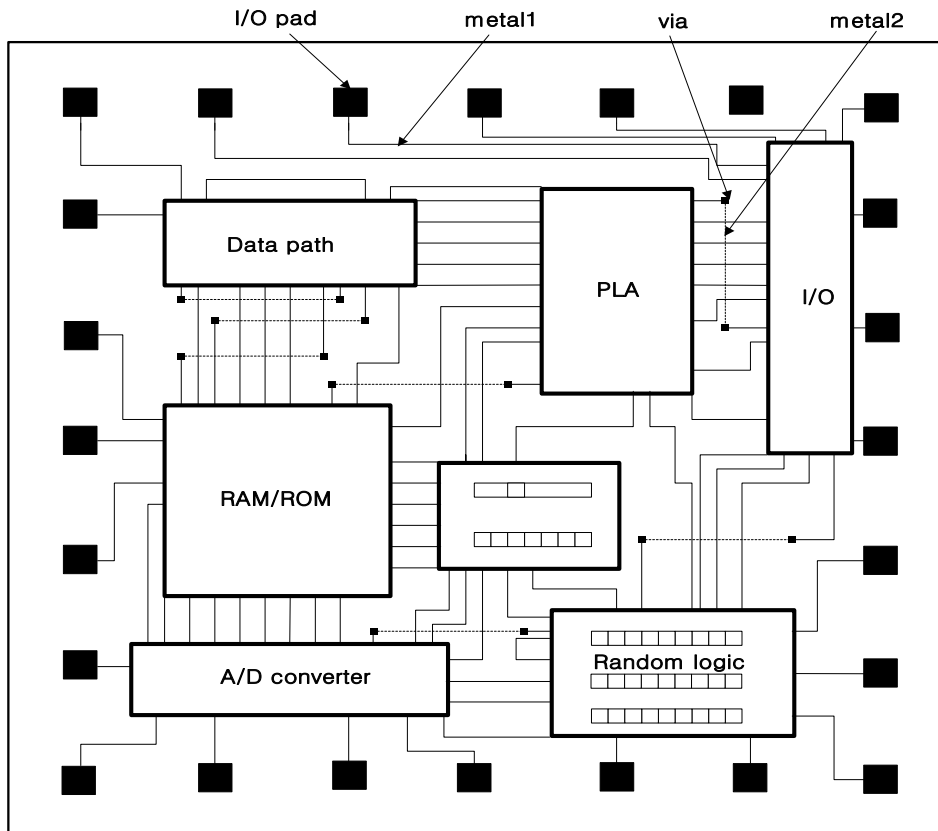
셀 라이브러리



폴리 셀 방식의 표준 셀



마이크로 블록 방식의 표준 셀의 실제 칩사진



마이크로 블록 방식의 표준 셀