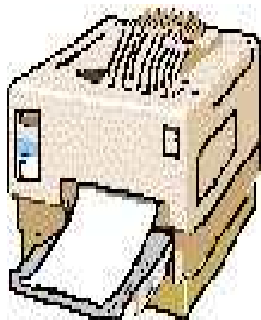


# 집적회로 설계



한밭대학교 컴퓨터공학과

# I . 집적회로(IC:Integrated Circuit) 개요

## 1.트랜지스터(Transistor)

실리콘 결정체 안을 캐리어라고 불리는 전자 또는 정공(홀)이 움직이는 것을 이용하며, 이 움직임의 양을 제어하여 증폭, 발진, 정류 등의 동작을 함

### 1) Bipolar형

- ① 전자(n형)와 정공(p형)모두를 이용한 pnp형 및 npn형 구조의 트랜지스터
- ② IC를 개발하였을 당시인 1958년의 트랜지스터는 Bipolar형 RTL(Resistor TranslatoLogic)회로였으며, 1960년대에 들어서자 마자 DTL(Diode Translator Logic), ECL(Emitter Coupled Logic), TTL(Transistor Transistor Logic)등 논리 회로를 집적한 Bipolar형 IC가 개발되었음

### 2) Unipolar형

- ① 전자(n형)와 정공(p형)중에 하나를 캐리어로 이용하는 트랜지스터
- ② FET(Field Effect Transistor:전계 효과형 트랜지스터)라고도 함
- ③ FET형은 다시 JFET(Junction Filed-Effect Transistor)와 MOS(Metal-Oxide-Semiconductor) FET로 구분됨

- ④ MOS형은 1960년대에 개발된 형태로서 반도체와 금속접합 사이가 산화 실리콘( $\text{SiO}_2$ )에 의해 절연되어 있다는 점이 JFET와 다른 차이
- ⑤ MOS형이 IC로서 처음 제품화된 것은 1964년이고 본격적으로 시장에 등장한 것은 1970년대 이후임
- ⑥ MOS형은 Bipolar 형에 비해 동작속도가 늦다는 단점이 있으나 소비 전력 소비가 적고 집적도가 높은 장점을 이용하여 마이크로 프로세서, 메모리, 시스템 LSI로 발전하여 현재는 IC 산업의 중심이 되었음
- ⑦ MOS형은 증가형(enhancement)과 공핍형(depletion)으로 구분되며, 공핍형은 전압이 없는 상태에서도 drain과 source 사이에 확산층에 의하여 전류가 흐를 수 있는 채널이 생성되어 있다는 점이 증가형과 다름
- ⑧ MOS형은 전자를 이용하는 nMOS, 정공을 이용하는 pMOS, nMOS와 pMOS를 결합한 CMOS (Complementary MOS) 등이 존재함

## 2. 집적회로 정의

- 1) 수 mm ~ 수십 mm 크기의 사각 실리콘 칩(chip) 위에 트랜지스터와 다이오드, 저항, 콘덴서 등을 배치하고, 이들을 서로 배선하여, 특정 기능을 가진 전자 회로의 기능을 하게 하는 것
- 2) 실리콘 칩을 다이(die)라고도 하는데 이 자체로는 다루기가 힘들고, 다른 집적회로와 접선하기도 어려워 일반적으로는 패키지에 넣어(조립) 사용함

### 3. 집적회로의 분류

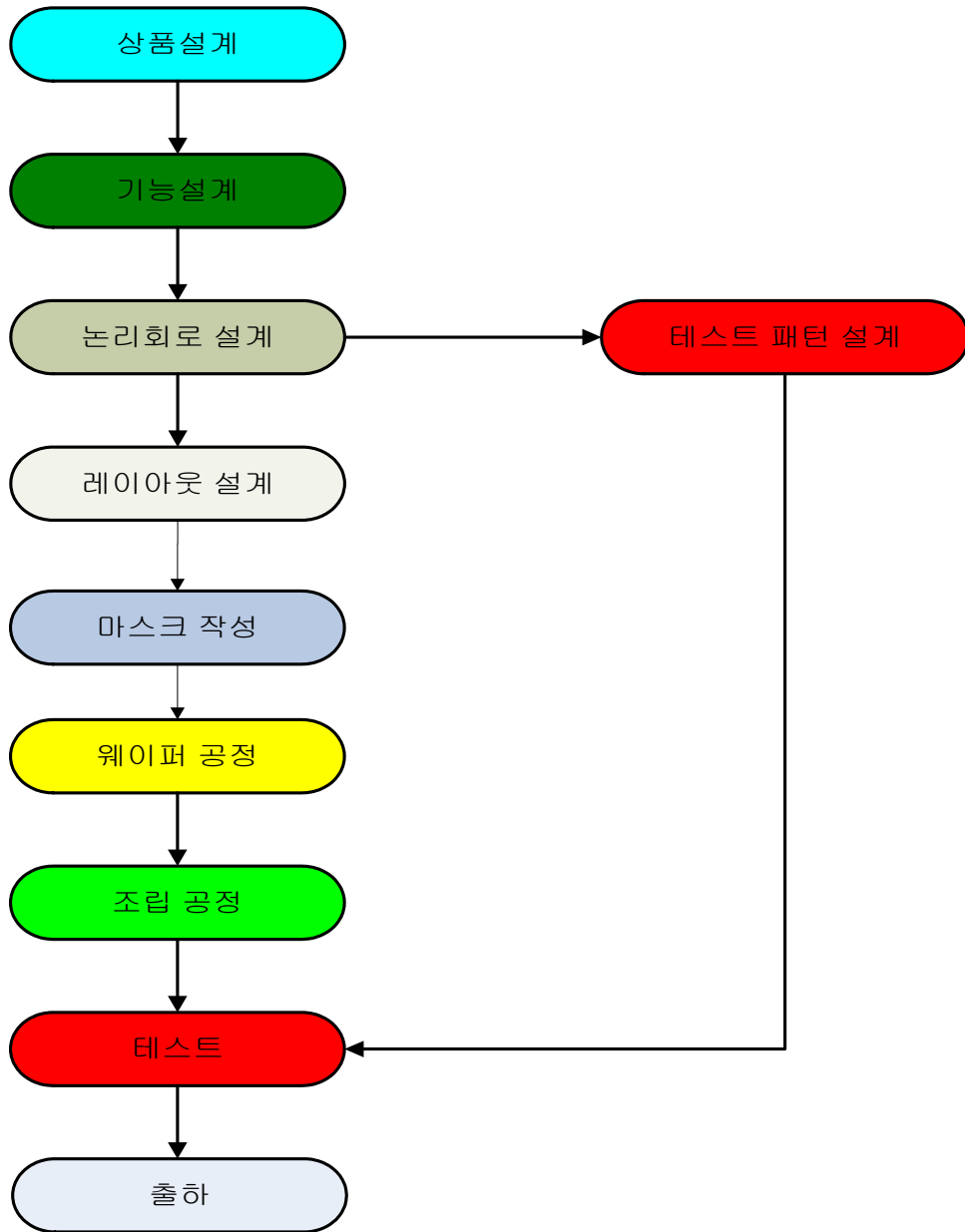
1) SSI, MSI, LSI, VLSI 등의 표현은 1 개의 IC 칩 속에 집적된 트랜지스터 수로 구분한 것

→ 예를 들어 소규모 IC 중에는 flip-flop 회로를 하나만 배치한 것도 있으며, 대규모 집적 회로인 LSI에는 메모리, 마이크로 프로세서, 그리고 이들을 복합한 시스템 LSI 등이 있음

→ 최근 들어서는 휴대 전화나 DVD(Digital Video/Versatile Disc)의 거의 모든 기능을 2 ~ 3 개의 LSI 만으로 실현할 수 있게 되었다.

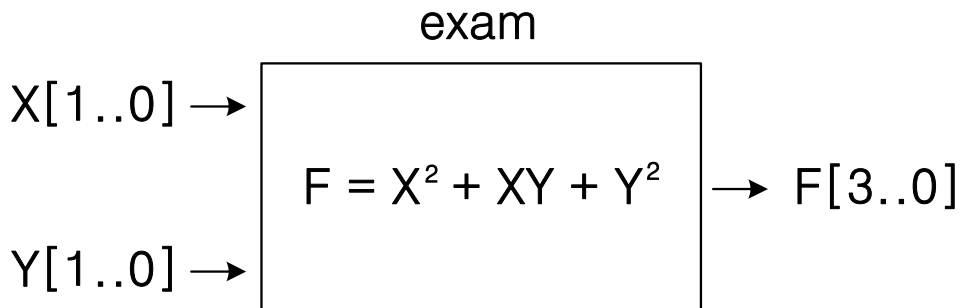
약자	의미	소자수	주요연대
SSI (Small Scale IC)	소규모 IC	100개 이하	1958 ~1960 년대
MSI (Medium Scale IC)	중규모 IC	100 ~ 1000개 수준	1960년대 후반 ~
LSI (Large Scale IC)	대규모 IC	1000개 이상	1970년대 ~
VLSI (Very Large Scale IC)	초대규모 IC	10만개 이상	1980년대 후반 ~
ULSI (Ultra Large Scale IC)	거대규모 IC	1000만개 이상	1990년대 ~

#### 4. 제조과정



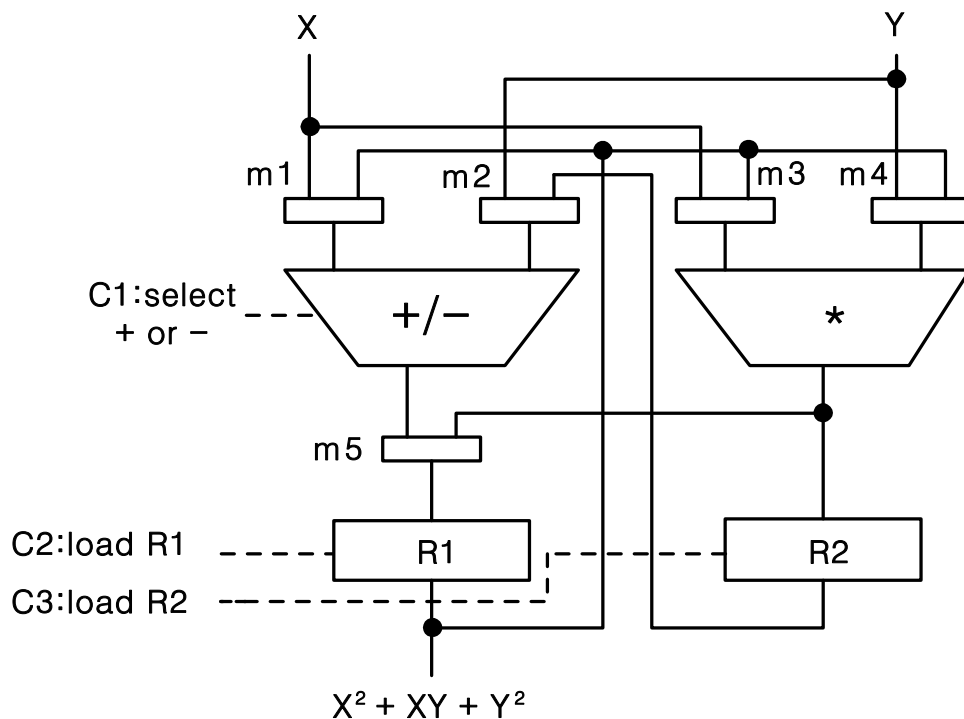
1) 상품설계

어떤 기능을 갖는 집적회로를 만들 것인지를 결정



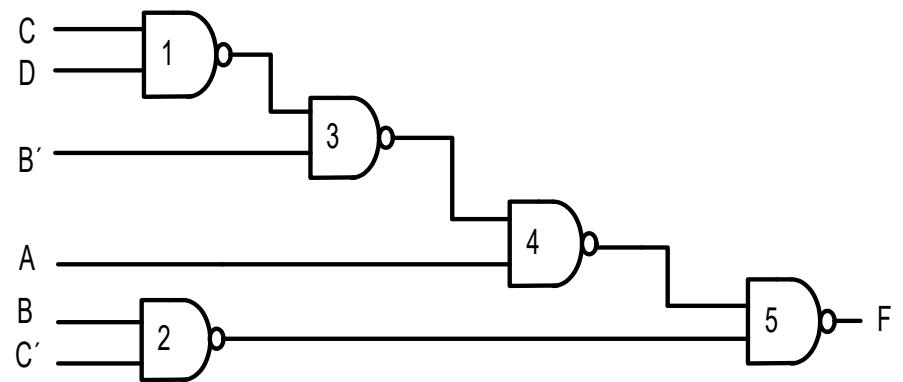
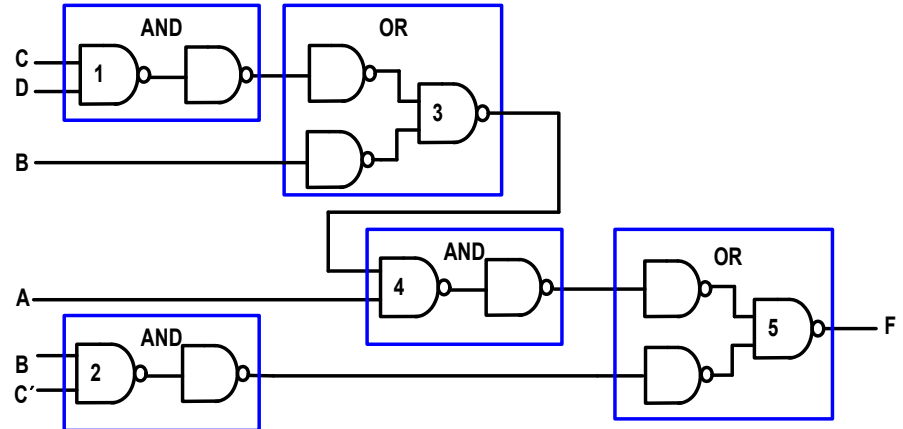
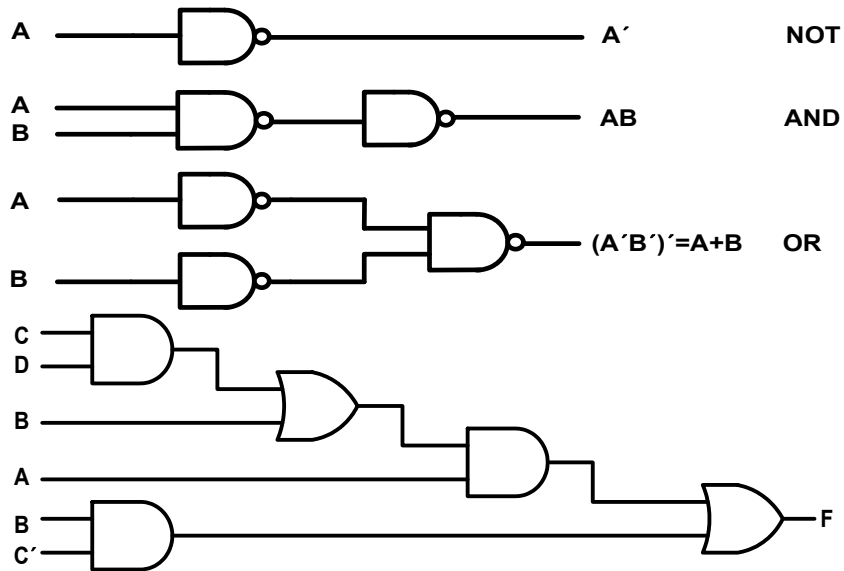
2) 기능설계

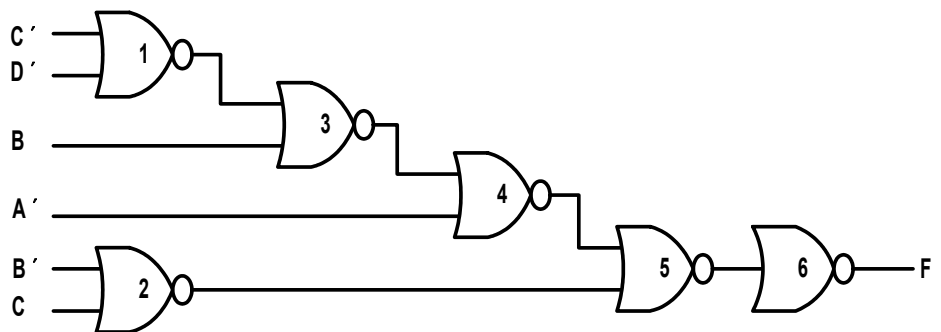
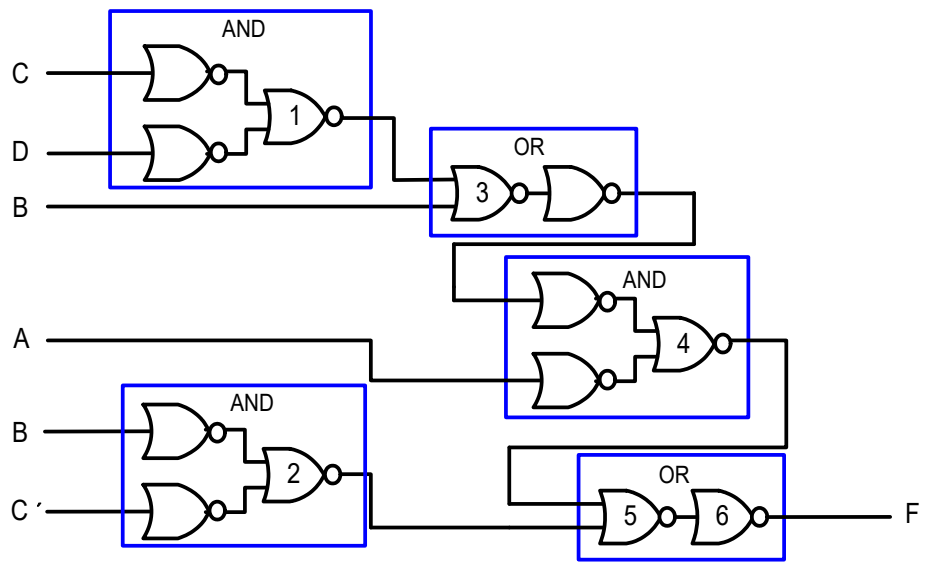
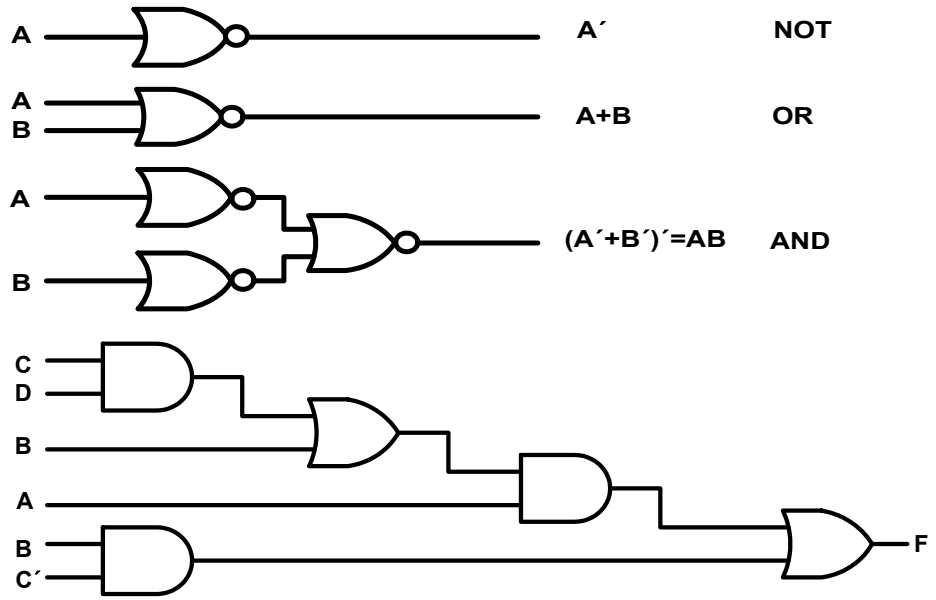
시스템 장치의 동작을 이해하고 요구되는 성능을 만족시키기 위한 회로방식을 결정한다. 결정된 회로방식에 근거하여 HDL(VHDL, Verilog HDL 등)이나 C 언어(SystemC, C++ 등)를 사용하여 각 블록별로 기능동작을 기술하고, 요구 사항을 만족시키는 것을 시뮬레이션을 통해 확인함



### 3) 논리회로설계

- ① 기능 설계된 각 블록들을 게이트 레벨로 변환시킴
- ② AND, OR 게이트보다는 집적회로를 쉽게 만들 수 있는 NAND와 NOR 게이트로 변환시킴

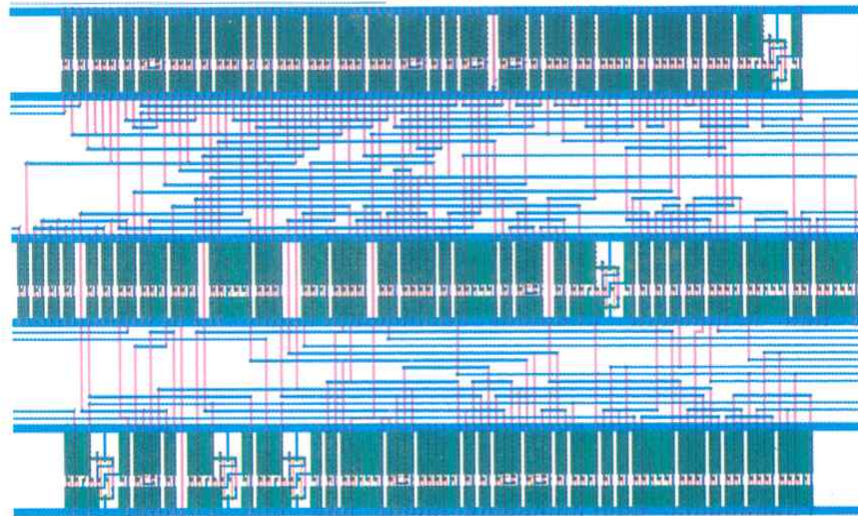












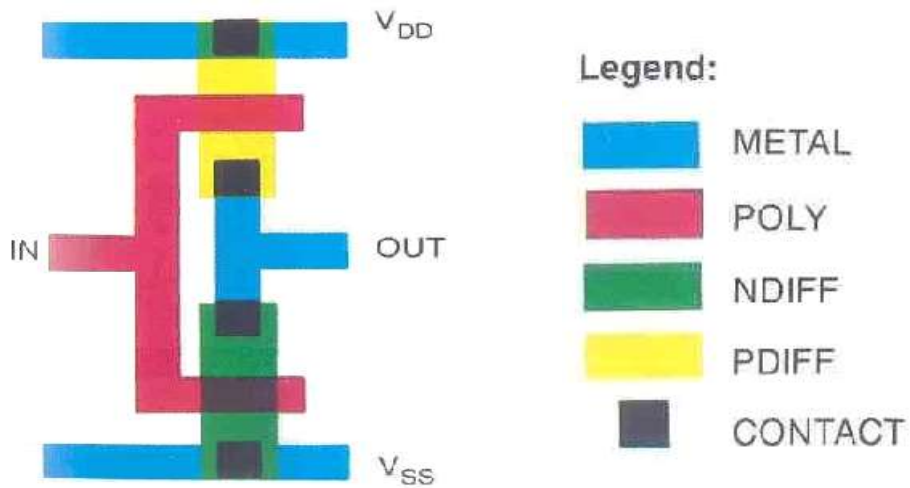


#### 4) 레이아웃설계

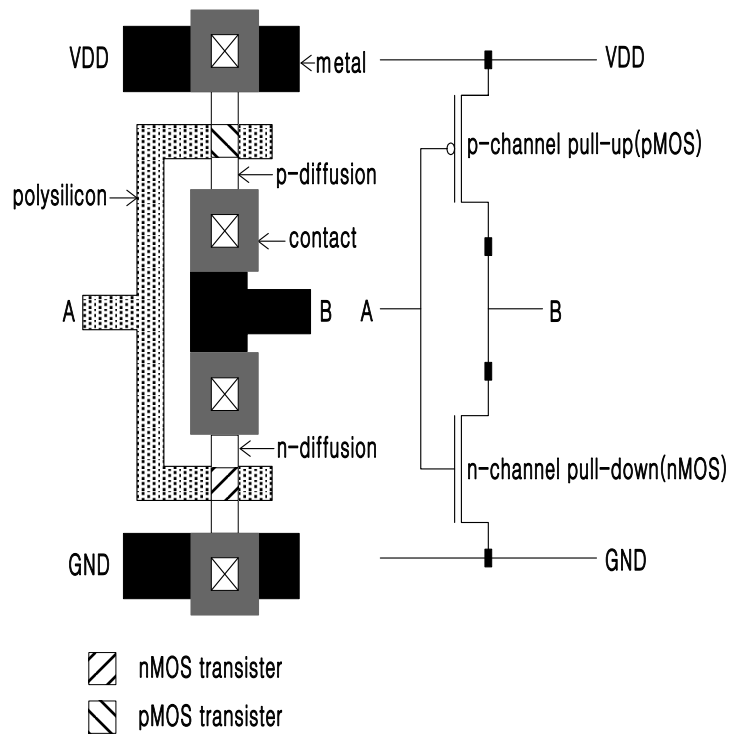
- ① 게이트 레벨의 회로를 실리콘 상에 실현하기 위해 각각의 게이트들을 배치하고, 배선하여 연결한 회로 패턴을 작성하는 공정
- ② 게이트나 배선이 제조조건으로 결정한 설계법칙대로 배선되어 있는지 여부를 확인(DRC:Design Rule Check)하고 마스크(mask) 작성용 데이터(CIF, GDS II 등)로 변환함



 n-diffusion	 p-diffusion and well
 polysilicon	 metal
 overglass	 metal 2
 cut	 cut 2



DS 1 200 8;  
 9 in1;  
 L CM;  
 B 176 32 240 0;  
 L CC;  
 B 16 16 344 0;  
 B 16 16 344 96;  
 B 16 16 344 192;  
 B 16 16 344 384;  
 L CP;  
 B 32 8 240 48;  
 B 5 64 280 200;  
 B 15 8 200 150;  
 B 32 8 240 250;  
 L CM;  
 B 32 82 340 150;  
 B 72 30 400 150;  
 L CPD;  
 B 9 32 310 48;  
 L CND;  
 B 9 32 310 250;  
 DF;  
 End;



A CMOS inverter

### CMOS inverter의 CIF 표현

## 5) 마스크 작성

- ① 마스크 데이터는 사진 기술을 이용하여 각 마스크 별로 유리 기반 위에 패턴을 전사함
- ② 패턴으로는 Cr(크롬)이나 젤라틴을 사용함
- ③ 마스크는 사진의 네가 필름에 해당함
- ④ 일반적으로 IC 칩 사이즈의 4~5 배 정도 또는 10 배 이상의 크기로 만들며 하나의 IC 를 만들기 위해 10~30 장 정도의 마스크를 제작함
- ⑤ 마스크는 축소 노광하는 축소 투영 노광법(스텝퍼)에 사용
- ⑥ 마스크를 만드는 장치를 마스크 차획 장치라고 함
- ⑦ 전자 빔 노광 장치 또는 레이저 광으로 패턴을 노광함
- ⑧ IC 제조 회사가 자체 제작하는 것 이외에도 마스크 전문 제조 회사(마스크 하우스)가 제공함

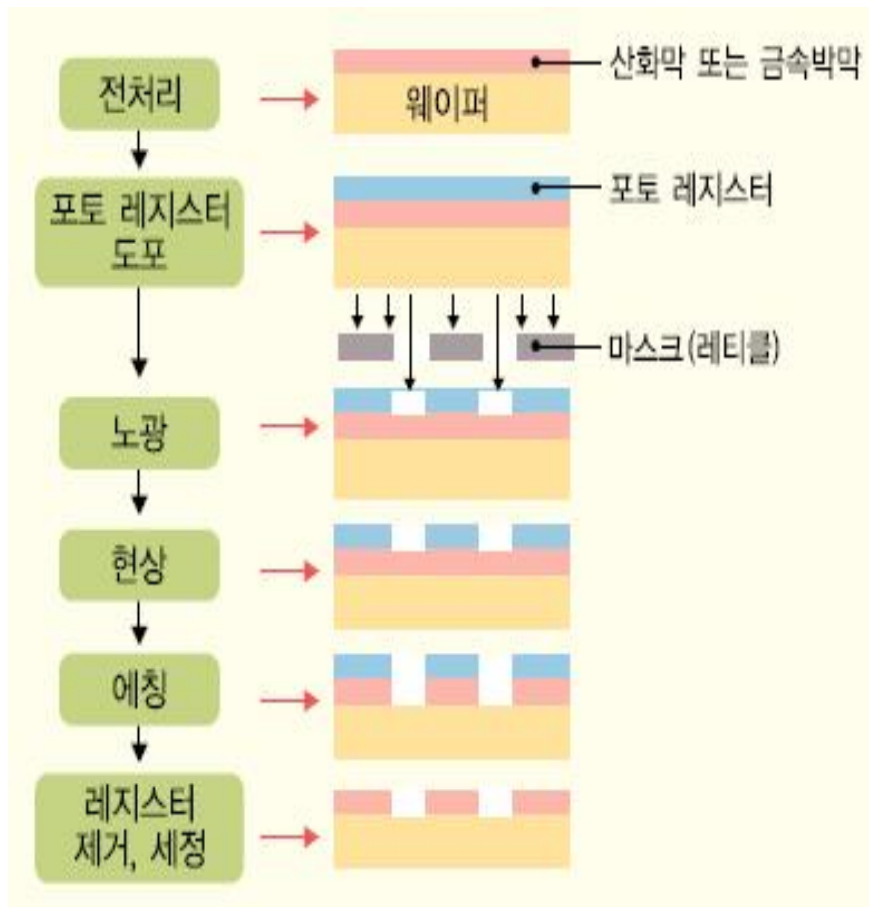
## 6) 웨이퍼 공정

- ① 웨이퍼 공정은 실리콘 웨이퍼 상에 "불순물 주입(도핑)", "박막 형성", "에칭"을 반복하여 트랜지스터와 배선 등을 형성하고 IC칩을 완성시키는 것으로 1개의 웨이퍼로 수십에서 수천 개의 칩을 만들 수 있음
- ② 실리콘 웨이퍼 제작은 실리콘 제조 전문 회사가 담당함
  - ➔ 실리콘 원료를 정제하여 다결정 실리콘을 만들고, 이를 다시 단결정 실리콘으로 만듦
  - ➔ 단결정 실리콘 덩어리를 얇게 잘라 내 표면을 연마하여 웨이퍼를 만듦
  - ➔ 실리콘 웨이퍼는 직경 125 ~ 300mm 이며, 두께 약

1mm 의 초박형 임

- 실리콘 웨이퍼 상의 최소 패턴 사이즈 방식으로 현재  $0.18\mu\text{m} \sim 0.13\mu\text{m}$ ( $180\text{nm} \sim 130\text{nm}$ )의 제품을 양산하며, 첨단 공정을 이용한  $0.10\mu\text{m} \sim 0.09\mu\text{m}$ ( $100\text{nm} \sim 90\text{nm}$ )제품의 생산도 시작하였음
- 직경 200mm ~ 300mm 의 웨이퍼에 미세한 사이즈로 가공하게 되는데, 예를 들어, 직경 125mm 의 실리콘 웨이퍼에  $1\mu\text{m}$  의 선을 긋는 것은, 잠실 운동장 전체에 1mm 의 선을 긋는 것과 동일하다.
- 현재는 웨이퍼 직경이 배가 되고 선의 폭이 한 단위 더 가늘어 졌음
- 따라서 웨이퍼 공정에는 무균실이 필수적이므로 웨이퍼 제조에는 초 고순도 약품 및 가스, 정제수를 사용함
- 일반적인 쓰레기(먼지)나 담배 연기는 수 십  $\mu\text{m}$ 나 되기 때문에 웨이퍼 공정 중에 이런 것들이 하나라도 들러 붙으면 그 IC 는 불량품이 됨

- ③ 리소그래피(Lithography)는 회로 원판인 포토 마스크로써 회로 패턴을 실리콘 웨이퍼에 전사하는 공정
- ④ 산화 실리콘( $\text{SiO}_2$ )을 웨이퍼 표면에 골고루 성장시킴
- ⑤ 웨이퍼 상에 도포한 포토 레지스터 마스크를 이용하여 자외선 빛에 노출시켜(노광) 현상액으로 현상
- ⑥ 포토 레지스터는 빛에 노출시킨 부분이 굳어지는 "네가 형"과 이와는 반대로 녹아버리는 "포지 형"이 있음
- ⑦ 노출된 지역의 산화막을 불산용액으로 제거(에칭)
- ⑧ 레지스터를 제거하기 위한 세정



⑦ IC 는 불순물 주입, 박막 형성, 에칭을 반복할 때마다, 마스크를 사용하여 자외선 노광 공정을 하기 때문에 한 종류의 IC를 완성하기 위해 10 ~ 30 장의 마스크를 사용함

**게이트 산화:**

고온 산소로 채운 공간에서 실리콘 산화 막을 만든다.



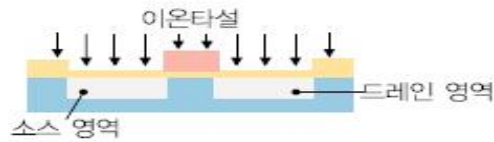
**게이트 전극 형성:**

다결정 실리콘 막을 게이트 전극으로 가공한다.



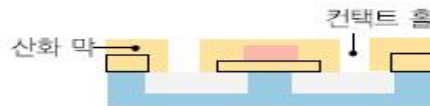
**소스 드레인 형성:**

불순물 주입으로 소스, 드레인 영역을 만든다.



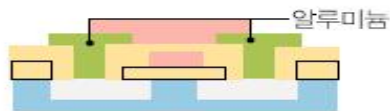
**컨택트 홀 만들기:**

산화 막에 컨택트 홀을 만든다.



**알루미늄 산화:**

스퍼터 증기를 이용하여 알루미늄 전극, 배선을 만든다.



**프로브 검사:**

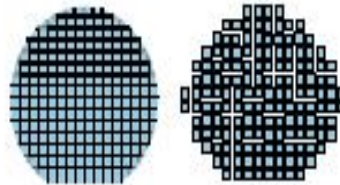
웨이퍼 상의 칩 불량인지 아닌지를 검사하여 선별한다.



## 7) 조립공정

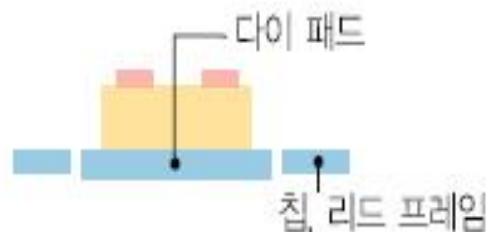
- ① 웨이퍼 공정을 마친 실리콘 웨이퍼는 조립 공정으로 이송됨
- ② 조립공정에서는 먼저 완성한 실리콘 웨이퍼를 매우 얇은 다이아몬드 플레이트를 고속 회전시키는 “다이싱 장치”를 이용하여 각각의 칩으로 절단(Dicing)

**다이싱(Dicing):**  
웨이퍼를 칩 단위로 분리한다.



- ③ 분리된 각각의 칩들 중 합격품만을 선별하여 리드 프레임의 중심부에 밀착 고정함
- ④ 리드 프레임은 철-니켈(Fe-Ni) 계열의 압연 철판이나 동(Cu)계열의 합금을 소재로 하며, 에칭 방식으로 제작함(다이본딩, Die Bonding)

**다이 본딩(Die Bonding):**  
칩을 리드 프레임 위에 접착, 고정한다.



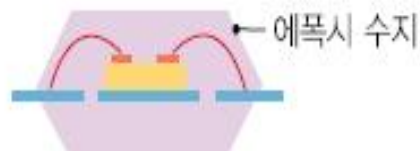
- ⑤ 다이본딩이 완료되면 칩의 전극 패드와 리드 프레임의 단자 사이를 아주 가는 금속 선(직경 약 20 ~ 25 $\mu$ m)으로 연결
- ⑥ 와이어 본딩에는 금(Au)선을 사용하여 온도와 중량을 주면서 접합하는 열압착 방식(TCB: Thermo Compression Bonding)과 알루미늄(Al)선을 이용하여 가벼운 중량으로 60kHz 전후의 초음파 진동을 접합부에 주면서 연결하는 초음파 방식(USB : UltraSonic Bonding)이 있음

**본딩(Bonding):**  
칩과 리드 프레임 단자를 금속 선으로 연결 한다.



- ⑦ 다음에 에폭시 계열의 열 경화성 수지를 성형 재료로, 금형을 이용한 트랜스퍼 성형 방식으로 수지로 밀봉함(몰딩)

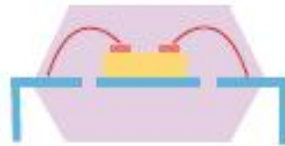
**몰딩(Molding):**  
트랜스퍼 성형 법으로 칩을 수지로 밀봉한다.





- ⑧ 몰딩이 끝나면 성형된 수지 면에, 제조 회사 이름이나 로고 마크, 제품명, 제조 연월일 등의 제조 로트 번호를 각인함 (마킹)
- ⑨ 리드 가공 공정에서는 수지 찌꺼기를 없앤 후 Tie bar 및 리드를 절단하여 리드 형상을 최종적으로 성형, 리드 프레임의 각각의 IC로 분리함

**마킹(Marking), 리드(Lead)가공:**  
 제품명을 날인하고, 최종적인 리드 모양으로 가공한다.



## 8) 테스트

- ① 테스트 종류에는 IC의 초기 불량률을 살피는 번 인 테스트 이외에도, 상온 측정(+25℃), 고온 측정(+80℃), 저온 측정(-5℃ 전후)이 있으며, 제품 및 용도에 따라 검사 방법을 선별함
- ② 테스트에서는 각 단자 간 오픈(개방) / 쇼트 체크, 전원 전류 등을 측정하는 DC 측정, 주파수 특성 등을 측정하는 AC 측정, 논리 회로 설계 시에 작성된 테스트 패턴을 이용한 회로 동작을 체크하는 기능실험 등을 함

**최종 검사 :**  
 특성 검사를 통해 합격품을 선별하고, 출하 형태로 포장한다.



9) 출하

- ① 테스트에서 합격을 받은 IC 는 패키지 종류 및 고객이 장착할 기계에 맞추어 수납 형태로 포장함
- ② 특히 면 장착용 소형 패키지는 알루미늄 봉투에 넣고, 열로 봉합한 내온 상자에 넣어 IC 내온성을 확보함